

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-152535

(43)Date of publication of application : 23.05.2003

(51)Int.Cl.

H03L 7/10
H03L 7/099
H03L 7/187
H04B 1/26
H04B 1/40

(21)Application number : 2002-011050

(71)Applicant : HITACHI LTD
TTPCOM LTD

(22)Date of filing : 21.01.2002

(72)Inventor : KASAHARA MASUMI
OSAWA HIROTAKE
HENSHAW ROBERT ASTLE

(30)Priority

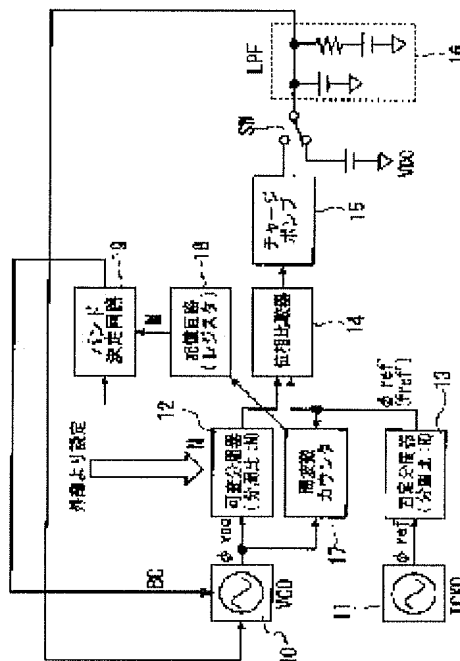
Priority number : 2001 200127537 Priority date : 16.11.2001 Priority country : GB

(54) COMMUNICATION-ORIENTED SEMICONDUCTOR INTEGRATED CIRCUIT AND RADIO COMMUNICATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL circuit which is hardly affected by external noises and the variation of its power-supply voltage, where the control sensibility of its VCO is not increased, even when the oscillation frequency range of its VCO is widened to make its VCO responsive to a plurality of bands.

SOLUTION: A VCO 10, constituting the PLL circuit, is configured to enable it to operate in a plurality of bands. In the state wherein the controlling voltage of the oscillation circuit of the VCO 10 is fastened to a predetermined value, the oscillation frequencies of the oscillation circuit are measured in the respective bands to store them in a memory circuit 18. Then, by comparing the stored frequency measurement values with the set value for assigning the band given, when operating the PLL circuit, the band used actually in the oscillation circuit is determined from the comparison result thereof.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-152535
(P2003-152535A)

(43) 公開日 平成15年 5月23日 (2003. 5. 23)

(51) Int.Cl. ⁷	識別記号	F I	デマコト* (参考)
H 0 3 L	7/10	H 0 4 B 1/26	U 5 J 1 0 6
	7/099	1/40	5 K 0 1 1
	7/187	H 0 3 L 7/10	Z 5 K 0 2 0
H 0 4 B	1/26	7/08	F
	1/40	7/18	D
審査請求 未請求 請求項の数11 O L (全 11 頁)			

(21) 出願番号 特願2002-11050(P2002-11050)

(22) 出願日 平成14年 1月21日 (2002. 1. 21)

(31) 優先権主張番号 0 1 2 7 5 3 7, 9

(32) 優先日 平成13年11月16日 (2001. 11. 16)

(33) 優先権主張国 イギリス (G B)

(71) 出願人 000003108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 500383980

ティーティーピー コム リミテッド

イギリス国、ハートフォードシャー エス

ジー 8 6 イーイー、ロイストン、メルボ

ルン、ケンブリッジ ロード、メルボルン

サイエンス パーク (番地なし)

(74) 代理人 100086811

弁理士 大日方 富雄

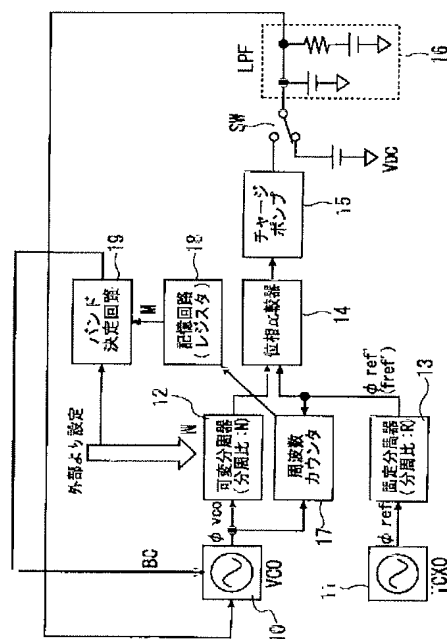
最終頁に続く

(54) 【発明の名称】 通信用半導体集積回路および無線通信システム

(57) 【要約】 (修正有)

【課題】 複数のバンドに対応するために VCO の発振周波数範囲を広くしても VCO の制御感度が高くならず外来ノイズや電源電圧変動による影響を受けにくい PLL を提供する。

【解決手段】 PLL 回路を構成する VCO 10 を複数のバンドで動作可能に構成し、発振回路の制御電圧を所定の値に固定した状態で各バンドでの発振回路の発振周波数を測定して記憶回路 18 に記憶しておいて、PLL 動作時に与えられるバンド指定用の設定値と上記記憶しておいた周波数の測定値とを比較して、その比較結果から実際に発振回路において使用するバンドを決定するように構成した。



【特許請求の範囲】

【請求項1】 基準となる周波数信号と帰還信号の位相差を検出する位相検出回路および該位相検出回路で検出された位相差にตอบสนองして電圧を発生するチャージポンプおよびフィルタ容量、該フィルタ容量の電圧に基づいて複数の周波数帯で発振動作可能に構成された発振回路を備え、指定された周波数情報に応じた周波数の発振信号を出力可能なPLL回路を含む通信用半導体集積回路であって、

上記発振回路の制御電圧として所定の直流電圧を供給可能な固定電圧供給手段と、上記発振回路の発振周波数を測定可能な周波数カウンタと、該周波数カウンタにより上記発振回路の各周波数帯ごとに測定された周波数情報を記憶する記憶手段と、

上記PLL回路を開ループにした状態で上記固定電圧供給手段からの直流電圧により上記発振回路を発振動作させてその周波数を該発振回路の各周波数帯ごとに測定して上記記憶手段に記憶させる制御回路とを備えていることを特徴とする通信用半導体集積回路。

【請求項2】 上記記憶手段に記憶されている測定周波数情報と上記指定された周波数情報とを比較して上記発振回路の発振周波数帯を指定する信号を生成する周波数帯決定回路とを備え、

上記制御回路は、上記PLL回路を開ループにした状態で上記固定電圧供給手段からの直流電圧により上記発振回路を発振動作させてその周波数を該発振回路の各周波数帯ごとに測定して上記記憶手段に記憶させておいて、上記PLL回路を閉ループにして動作させる際に上記周波数帯決定回路からの信号に基づいて上記指定された発振周波数帯で上記発振回路を発振動作させるように構成されていることを特徴とする請求項1に記載の通信用半導体集積回路。

【請求項3】 上記周波数カウンタは、上記基準となる周波数信号の1周期もしくはその整数倍の期間内における上記発振回路の発振周波数を測定することを特徴とする請求項1または2に記載の通信用半導体集積回路。

【請求項4】 上記発振回路と上記位相比較回路との間に、上記発振回路からの発振信号を分周するカウンタ回路が設けられている場合に、該カウンタ回路は上記周波数カウンタを兼用するように構成されていることを特徴とする請求項1～3のいずれかに記載の通信用半導体集積回路。

【請求項5】 上記カウンタ回路は、分周比を切り替え可能な分周回路と、上記発振回路が出力すべき信号の周波数を上記基準となる周波数信号の周波数で割りさらにそれを上記分周回路の一方の分周比で割った商に相当する値を計数可能な第1のプログラマブルカウンタと、前記割り算の余りに相当する値を計数可能な第2のプログラマブルカウンタとを含み、

上記記憶回路には上記第1のプログラマブルカウンタに

より計数された値が記憶されるように構成されていることを特徴とする請求項4に記載の通信用半導体集積回路。

【請求項6】 上記周波数帯決定回路は、上記記憶手段に記憶されている測定周波数情報と上記第1のプログラマブルカウンタと第2のプログラマブルカウンタに設定される周波数情報とを比較して上記発振回路の発振周波数帯を指定する信号を生成することを特徴とする請求項5に記載の通信用半導体集積回路。

【請求項7】 上記PLL回路から出力される発振信号もしくはそれを分周した信号と受信信号とを合成することにより復調された信号を得るミキサを有することを特徴とする請求項1～6のいずれかに記載の通信用半導体集積回路。

【請求項8】 上記PLL回路から出力される発振信号もしくはそれを分周した信号と受信信号とを合成することにより復調された信号を得るミキサを有することを特徴とする請求項1～6のいずれかに記載の通信用半導体集積回路。

【請求項9】 上記PLL回路から出力される発振信号もしくはそれを分周した信号と送信信号とを合成することにより周波数差に相当する周波数の信号を得る第2のミキサを有することを特徴とする請求項7に記載の通信用半導体集積回路。

【請求項10】 基準となる周波数信号と帰還信号の位相差を検出する位相検出回路および該位相検出回路で検出された位相差にตอบสนองして電圧を発生するチャージポンプおよびフィルタ容量、該フィルタ容量の電圧に基づいて複数の周波数帯で発振動作可能に構成された発振回路を備え、指定された周波数情報に応じた周波数の発振信号を出力可能なPLL回路と、

上記発振回路の制御電圧として所定の直流電圧を供給可能な固定電圧供給手段と、上記発振回路の発振周波数を測定可能な周波数カウンタと、該周波数カウンタにより上記発振回路の各周波数帯ごとに測定された周波数情報を記憶する記憶手段と、

上記PLL回路を開ループにした状態で上記固定電圧供給手段からの直流電圧により上記発振回路を発振動作させてその周波数を該発振回路の各周波数帯ごとに測定して上記記憶手段に記憶させる制御回路と、

上記記憶手段に記憶されている測定周波数情報と上記指定された周波数情報とを比較して上記発振回路の発振周波数帯を指定する信号を生成する周波数帯決定回路とを備え、

上記制御回路は、上記PLL回路を開ループにした状態で上記固定電圧供給手段からの直流電圧により上記発振回路を発振動作させてその周波数を該発振回路の各周波数帯ごとに測定して上記記憶手段に記憶させておいて、上記PLL回路を閉ループにして動作させる際に上記周波数帯決定回路からの信号に基づいて上記指定された発

振周波数帯で上記発振回路を発振動作させるように構成された通信用半導体集積回路と、
該通信用半導体集積回路によって所望の周波数までダウンコンバートされた受信信号からデータを抽出したり送信データをI、Q信号に変換したりするベースバンド回路と、

を含む無線通信システムであって、

上記指定周波数情報は、上記ベースバンド回路から上記通信用半導体集積回路へ与えられるように構成されてなることを特徴とする無線通信システム。

【請求項11】 少なくとも900MHz帯のGSM方式を含む2以上の周波数帯を使用した通信方式に従った送受信が可能に構成されていることを特徴とする請求項10に記載の無線通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、VCO（電圧制御発振器）を備え発振周波数が切替え可能なPLL（フェーズ・ロックド・ループ）回路に適用して有効な技術に関し、例えば複数バンドの信号を送受信可能な携帯電話機などの移動体通信装置において受信信号や送信信号と合成される所定の周波数の発振信号を発生するPLL回路およびそれを備えた高周波用半導体集積回路および無線通信システムに利用して有効な技術に関する。

【0002】

【従来の技術】携帯電話機のような無線通信システムにおいては、受信信号や送信信号と合成される所定の周波数の発振信号を発生する局部発振器としてPLL回路が用いられている。従来、携帯電話機においては、例えば880～915MHz帯のGSM（Global System for Mobile Communication）と1710～1785MHz帯のDCS（Digital Cellular System）のような2つの周波数帯の信号を扱えるデュアルバンド方式の携帯電話機がある。また、かかるデュアルバンド方式の携帯電話機においては、PLL回路の周波数を切り替えることにより一つのPLL回路で2つのバンドに対応することができるようにしたものがある。

【0003】

【発明が解決しようとする課題】ところが、近年においては、GSMやDCSの他に例えば1850～1915MHz帯のPCS（Personal Communication System）の信号を扱えるトリプルバンド方式の携帯電話機に対する要求がある。また、携帯電話機は今後さらに多くのバンドに対応できるものが要求されることが考えられる。このような複数のバンドに対応できる携帯電話機に使用される送信信号の変調や受信信号の復調を行なう高周波用半導体集積回路（以下、高周波LSIと称する）には、部品点数の低減という観点からダイレクトコンバージョン方式が有効である。しかしながら、ダイレクトコンバージョン方式は、複数のバンドに対応することが比

較的容易ではあるが、VCOの発振可能な周波数範囲を広がる。ここで、一つのVCOで全ての周波数に対応しようとすると、VCOの制御電圧の感度が高くなり外来ノイズや電源電圧変動に弱くなるという不具合がある。

【0004】一方、部品点数の低減には、従来一般に高周波LSIとは別個のモジュールとして提供されていたVCOを、高周波LSIと同一の半導体チップ上に形成することが有効である。しかしながら、オンチップVCOとした場合には、製造上の理由から発振周波数の絶対値のばらつきが大きくなるので、製造後に発振周波数を調整する機能が不可欠となる。そして、このばらつきの調整を従来の半導体集積回路に用いられている一般的なマスクオプションやボンディングワイヤオプションによるトリミングで行なおうとすると、コストアップが避けられなくなる。

【0005】この発明の目的は、複数のバンドに対応するためVCOの発振可能な周波数範囲を広くしても、VCOの制御電圧の感度が高くなりえず外来ノイズや電源電圧変動による影響を受けにくいPLL回路を備えた通信用半導体集積回路（高周波LSI）を提供することにある。この発明の他の目的は、VCOの発振周波数のばらつきを内部回路で自動的に補正することができる通信用半導体集積回路を提供することにある。この発明のさらに他の目的は、複数の周波数帯の信号による通信が可能であり、しかもVCOを同一の半導体チップ上に形成することができ、これによって部品点数を削減することができる通信用半導体集積回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、PLL回路を構成する発振回路を複数のバンドで動作可能に構成し、発振回路の制御電圧を所定の値に固定した状態で各バンドでの発振回路の発振周波数を測定して記憶回路に記憶しておいて、PLL動作時に与えられるバンド指定用の設定値と上記記憶しておいた周波数の測定値とを比較して、その比較結果から実際に発振回路において使用するバンドを決定するように構成したものである。ここで、望ましくは、上記発振周波数の測定時間に基準発振信号の周期を用いる。また、さらに望ましくは、上記発振周波数の測定に、PLL回路にもともと備わっている分周回路として動作するカウンタを共用する。

【0007】上記した手段によれば、発振回路の感度すなわち周波数変化量と制御電圧変化量との比（ $\Delta f / \Delta V_c$ ）を緩やかにすることができ、ノイズに強いPLL回路が得られるとともに、予め指定バンド値と発

振回路のバンドとを1対1で対応させておく必要がなく、測定によって分かった実際の特性に基づいて各指定バンド値に対応しているものを選択すればよく、これによって発振回路の周波数の合わせ込みが不要となる。

【0008】

【発明の実施の形態】次に、本発明の実施例について図面を用いて説明する。図1には、本発明を適用した自動的に周波数帯を選択可能なPLL回路の第1の実施例が示されている。図において、10はVCO（電圧制御発振器）、11は水晶発振子を使用した精度の高い周波数で発振する基準発振回路（TCXO）、12はVCO10の発振信号 ϕ_{vco} を1/Nに分周する可変分周回路、13は基準発振回路11の基準発振信号 ϕ_{ref} を1/Rに分周する固定分周回路、14は分周回路12と13で分周された信号の位相を比較し位相差に応じた電圧UP、DOWNを出力する位相比較器、15はチャージポンプ、16はループフィルタであり、チャージポンプ15によってループフィルタ16の容量素子がチャージアップされて上記VCO（電圧制御発振器）10の制御電圧Vcとして出力され、PLLループが構成されている。可変分周回路12は外部から設定される設定値に応じた任意の分周比NでVCO10の発振信号を1/Nに分周することが可能であり、この可変分周回路12で分周された信号の周波数が基準発振回路11の基準発振信号 ϕ_{ref} を固定分周回路13で1/R分周された信号の周波数とが一致するようにVCOの発振周波数が制御される。ここまでの構成は従来の一般的なPLL回路と同様な構成である。

【0009】この実施例のPLL回路は、図1に示されているように、チャージポンプ15とループフィルタ16との間に、チャージポンプ15からの電圧Vcの代わりに所定の直流電圧VDCをループフィルタ16に供給可能なスイッチSWと、VCO10の発振信号を計数する周波数カウンタ17と、該周波数カウンタ17により計数された値を記憶するレジスタなどからなる記憶回路18と、該記憶回路18に記憶されている周波数値と外部から可変分周回路12に設定される設定値Nとを比較してVCO10のバンド切り替え信号BCを生成する使用バンド決定回路19と、スイッチSW、周波数カウンタ17、記憶回路18、使用バンド決定回路19を制御する制御回路（後述の図4のブロック20や図6のブロック290参照）が設けられている。直流電圧VDCは、制御電圧Vcの有効可変範囲内であればどのような電圧値であってもよい。一般には、制御電圧Vcの可変範囲の上限値または下限値が選択される。直流電圧VDCは、周波数測定中、バンドを切り替えても同一の値とされる。

【0010】VCO10は、例えばLC共振回路を用いたコルピッツ型発振回路で構成されるとともに、LC共振回路を構成する容量素子が各々スイッチ素子を介して複数個並列に設けられており、そのスイッチ素子を上記

バンド切り替え信号BCで選択的にオンさせることにより、接続される容量素子すなわちLC共振回路のCの値を切り替えることで発振周波数を段階的に切り替えることができるように構成されている。一方、VCO10は可変容量素子としてバリキャップダイオードを有しており、上記ループフィルタ16からの制御電圧Vcによってこのバリキャップダイオードの容量値が変化され、発振周波数が連続的に変化される。VCOがカバーすべき周波数範囲を広くしたい場合、制御電圧Vcによるバリキャップダイオードの容量値の変化の行なおうとすると、図2（A）のように、Vc-fvco特性が急峻になり、VCOの感度すなわち周波数変化量と制御電圧変化量との比（ $\Delta f / \Delta Vc$ ）が大きくなってノイズに弱くなる。つまり、制御電圧Vcに僅かなノイズのただけでVCOの発振周波数fvco（ ϕ_{vco} ）が大きく変化してしまう。

【0011】そこで、この実施例のVCO10は、LC共振回路を構成する容量素子を複数個並列に設けて、バンド切り替え信号BCで使用する容量素子をn段階に切り替えてCの値を変化させることで、図2（B）のように、複数のVc-fvco特性線に従った発振制御を行なえるように構成したものである。しかも、この実施例では、周波数カウンタ17と記憶回路18と使用バンド決定回路19とを設けたことにより、従来のPLL回路で行なわれている周波数の合わせ込みという調整作業が不要になっている。すなわち、従来のPLL回路では、例えば図2（B）のような複数のVc-fvco特性線を有するVCOを構成する場合にも、VCOを動作させて周波数を測定し各複数のVc-fvco特性線が所定の初期値と所定の傾きとなるように、周波数の合わせ込みを行っていた。これに対し、本実施例のPLL回路は、予めスイッチSWを切り替えて所定の直流電圧VDCをVCO10に印加して各バンドでの周波数を測定して記憶回路18に記憶しておき、実際の使用に際しては、外部から可変分周回路12に与えられる指定バンドに応じた設定値Nと記憶回路18に記憶されている測定値を比較して、その指定バンドの周波数範囲をカバーできるものを、図2（B）のような複数のVc-fvco特性線の中から選んでその特性線に従って発振制御動作するように、VCOの切り替え（容量素子の切り替え）を行なうようにする。

【0012】このような方式によれば、予めカバーしたい周波数範囲よりもばらつきを考慮した分だけ少し広めの範囲をカバーするとともに、図2（B）のようにn段階のVc-fvco特性線を隣接するもの同士で少しずつ（望ましくは半分ずつ）周波数範囲が重なるようにVCOを設計しておけば、必ず指定されたバンドをカバーできる特性線が存在することになる。従って、測定によって分かった実際の特性に基づいて、各指定バンドに対応しているものを選択すればよく、周波数の合わせ込みが

不要となるとともに、予め使用バンドとVCOの切り替え状態とを1対1で対応させておく必要がない。

【0013】さらに、この実施例においては、VCO10の発振周波数の測定の際に、基準発振信号 ϕ_{ref} を1/Rに分周した信号 ϕ_{ref}' で周波数カウンタ17の計数動作の開始と終了を制御して ϕ_{ref}' の1周期だけ周波数カウンタ17を計数動作させることにより、面倒な演算動作を不要にしている。すなわち、本来VCO10の発振周波数を正確に知るには、VCO10の1秒間のクロック数をカウンタで計数するか、所定期間計数して1秒間の周波数に換算する必要があるが、図1のPLL回路のように、VCO10の発振信号 ϕ_{vco} を1/Nに分周する可変分周回路12がある場合、各バンドにおける ϕ_{ref}' の1周期間の周波数カウンタ17の計数値を記憶しておけば、これらの計数値と外部から可変分周回路12に供給される設定値Nを比較するだけで、VCO10をどのVc-fvco特性線で動作させるべきか決定することができる。

【0014】仮に、ある直流電圧VDCであるバンドiを選択して発振動作したVCO10の発振信号 $\phi_{vco i}$ を ϕ_{ref}' の1周期間だけ周波数カウンタ17で計数したときの値がMiであるとする、 ϕ_{ref}' の周期Tは $T = 1 / f_{ref}'$ であるので、発振信号 $\phi_{vco i}$ の周波数fvco iは、次式(1)

$$f_{vco i} = M_i / T = M_i \cdot f_{ref}' \quad \cdots \cdots \text{式(1)}$$

で表わせる。一方、可変分周回路12にNが設定されてPLL回路がフィードバック動作したときのVCO10の発振信号 ϕ_{vco} は、次式(2)

$$\phi_{vco} = N \cdot f_{ref}' \quad \cdots \cdots \text{式(2)}$$

で表わせる。従って、式(1)と式(2)より、Nに近いMiとなるバンドiを選択してやれば、VCO10を所望の周波数で発振させることができることが分かる。

【0015】これにより、バンド決定回路19は、外部から可変分周回路12に設定される値Nと記憶回路18に記憶されている計数値Miとを比較するコンパレータとこのコンパレータの判定結果の排他的論理和をとる回路とから、比較的容易に構成できることが分かる。ここで、バンド決定回路19による決定結果を短時間に得るには、図3に示すように、VCO10が切り替え可能なバンド数nに応じた数のコンパレータCMP1～CMPnと、(n-1)個のイクスクルーシブORゲートEOG1～EOGn-1とを設けてやればよい。この回路に従うと、比較結果がロウレベルからハイレベルになる境界のイクスクルーシブORゲートの出力のみハイレベルになるので、このゲートの出力に対応したバンドを選択してやれば良い。また、時間的に余裕があるならば、コンパレータとその判定結果を保持するラッチ回路とイクスクルーシブNORゲートをそれぞれ1つずつ設けて、それらを時分割で動作させるように構成しても良い。

【0016】次に、本発明を適用したPLL回路の第2

の実施例を、図4を用いて説明する。なお、図1と同一もしくは相当する回路ブロックには同一の符号を付して重複した説明は省略する。この実施例のPLL回路は、第1の実施例における可変分周回路12の代わりに、VCO10の発振信号を分周するプリスケアラ21と、プリスケアラ21で分周された信号をさらに分周する第1カウンタ22Nと第2カウンタ22Aとからなるモジュロカウンタ22を設けるとともに、第1カウンタ22Nを第1の実施例における周波数カウンタ17と兼用させるようにしたものである。プリスケアラ21とモジュロカウンタ22とを組み合わせることにより、分周回路全体をコンパクトに構成することができる。すなわち、プリスケアラ21は固定カウンタであるためこれをECL回路で構成してスピードアップを図って高い周波数の信号を計数し、この高速のプリスケアラ21で分周された信号をスピードの点でECLよりも劣るが高集積化が可能なCMOS回路で構成されたモジュロカウンタ22で計数することで、所望の性能を有しかつ占有面積の小さな分周回路を実現することができる。

【0017】プリスケアラ21とモジュロカウンタ22による分周の仕方は既に公知の技術である。プリスケアラ21は、例えば1/64分周と1/65分周のように、分周比の異なる2種類の分周が可能に構成されており、第2カウンタ22Aのカウント終了信号で切り替えが行なわれる。第1カウンタ22Nと第2カウンタ22Aはプログラマブルカウンタで、第1カウンタ22Nには、所望の周波数(出力として得たいVCOの発振周波数fvco)を基準発振信号 ϕ_{ref}' の周波数fref'とプリスケアラ21の第1の分周比(実施例では64)とで割り算したときの整数部が、また第2カウンタ22Aには、その余り(MOD)が設定され、その設定された値を計数するとカウントを終了し、再度設定値のカウントを行なう。具体的には、例えば基準発振信号 ϕ_{ref}' の周波数fref'が400kHzで、所望のVCOの発振周波数fvcoが3789.6MHzの場合を考えると、 $3789.6 \div 0.4 \div 64 = 148$ 余り2であるので、第1カウンタ22Nに設定される値Nは「148」で、第2カウンタ22Aに設定される値Aは「2」である。このような値が設定された状態でプリスケアラ21とモジュロカウンタ22が動作すると、プリスケアラ21はまず1/64分周動作をし、その出力を第2カウンタ22Aが設定値の「2」まで計数すると、第2カウンタ22Aからカウント終了信号MCが出力され、この信号MCによってプリスケアラ21の動作が切り替えられ、再び第2カウンタ22Aが設定値の「2」を計数するまでプリスケアラ21は1/65分周で動作する。

【0018】このような動作をすることによって、モジュロカウンタ22は整数比でなく、小数部を有する比で分周を行なうことができるようになる。実施例のPLL回路は、第1カウンタ22Nの出力の周波数が基準発振

信号 ϕ_{ref} の周波数 f_{ref} (400kHz)と一致するようにフィードバックがかかってVCO10が発振制御されるため、第1カウンタ22Nに設定される値Nが「148」で、第2カウンタ22Aに設定される値Aが「2」である上記具体例の場合には、VCO10の発振周波数 f_{vco} は、

$$f_{vco} = (64 \times 148 + 2) \times f_{ref} = 9474 \times 400 = 3789600$$

より、3789.6MHzとなる。なお、第1カウンタ22Nと第2カウンタ22Aは実際にはバイナリカウンタで構成されるので、第1カウンタ22Nに設定される値Nと第2カウンタ22Aに設定される値Aは、バイナリコードで与えられる。この実施例では、特に制限されるものでないが、PLL動作時には第1カウンタ22Nは9ビットカウンタとして、また第2カウンタ22Aは6ビットカウンタとして動作するため、第1カウンタ22Nに設定される値は9ビットコードN8~N0で、また第2カウンタ22Aに設定される値は、6ビットコードA5~A0で与えられるようにされる。

【0019】さらに、この実施例では、第1カウンタ22Nは周波数の測定時には11ビットのカウンタとして動作できるように構成されている。VCO10は16バンドすなわち16段階で発振周波数を切り替えることができるように構成され、記憶回路18にはこの16バンドのそれぞれについて測定された周波数を記憶するため16個のレジスタREG0~REG15が設けられている。また、使用バンド決定回路19は、記憶回路18のレジスタREG0~REG15に記憶されている値と第1カウンタ22Nに設定される9ビットコードN8~N0および第2カウンタ22Aに設定される6ビットコードA5~A0のうち上位2ビットA5、A4とを比較する11ビットのコンパレータを備え、VCO10に対するバンド切り替え信号BCとして4ビットのコードVB3~VB0を出力するように構成されている。

【0020】制御回路20は、周波数測定時には、VCO10に対して16個のバンドを順番に選択するように切り替え信号BCを生成して出力する。さらに、制御回路20は、周波数測定時には、第1カウンタ22Nを11ビットのカウンタとして動作させるとともに基準発振信号 ϕ_{ref} の1周期ではなく例えば4周期のような第1実施例よりも長い期間におけるクロック数を計数するように第1カウンタ22Nを制御する。また、制御回路20は、周波数測定時には、第2カウンタ22Aの動作を停止させ、プリスケアラ22の分周比の切り替えが行なわれないように制御する。これによって、周波数測定時には、プリスケアラ22は1/64のみの分周動作を行なうようにされる。

【0021】この実施例において、周波数測定時に基準発振信号 ϕ_{ref} の1周期ではなく4周期にわたって計数動作させるようにしているのは、測定精度を高くする

ためである。すなわち、プリスケアラ21が設けられていることによって、 ϕ_{ref} の1周期の測定でカウンタ22Nにおいて生じる最大誤差つまり ϕ_{ref} の1周期の測定でカウンタ22Nが1パルスカウントエラーを起こしたとすると、そのときの誤差はプリスケアラ21の分周比である64倍に拡大される。そのため、基準発振信号 ϕ_{ref} が400kHzの場合にはカウンタ22Nの最大誤差は25.6MHz (=400kHz×64)であるが、4周期の測定でカウンタ22Nにおいて生じる誤差は1/4の約6.4MHzに低減される。

【0022】周波数測定時に第1カウンタ22Nによって計数された11ビットの計数値は記憶回路18のいずれかのレジスタに格納される。そして、この格納された値は、PLL動作時には、上位8ビットが整数部とみなされて使用バンド決定回路19において、外部から供給される第1カウンタ22Nの設定コードN8~N0と比較される。また、記憶回路18のレジスタに格納された値のうち下位2ビットは小数部とみなされて使用バンド決定回路19において、外部から供給される第2カウンタ22Aの設定コードA5~A0のうち上位2ビットA5、A4と比較される。そして、記憶回路18の各レジスタREG0~REG15の格納値と設定コードN8~N0およびA5、A4との比較結果からVCO10の使用バンドが決定され、そのバンドを選択するようなバンド切り替えコードVB3~VB0が生成されてVCO10に供給される。VCO10は、GSMのような通信システムに使用されるPLL回路の場合には、各バンドがGSMのチャンネル間隔に応じて例えば400kHzのような間隔に設定される。

【0023】以下、この実施例のPLL回路における制御回路20による周波数測定動作の手順を、図5のフローチャートを用いて説明する。制御回路20は、RFVCOの周波数測定が開始されると、まずスイッチSWを切り替えてループフィルタ16に直流電圧VDCを供給する(ステップS1)。そして、ループフィルタ16の電圧Vcが安定し、VCO10の発振周波数が安定するのを待つ(ステップS2)。次に、プリスケアラ21の分周比を1/64に固定するとともに、第1カウンタ22Nが11ビットカウンタとして動作するように設定する(ステップS3)。それから、選択バンドを示すポイントを参照してVCO10のバンドを選択するコードVB3~VB0を出力する(ステップS4)。ここで、最初に選択されるバンドは、例えば周波数範囲が最も低いBAND0である。

【0024】次に、第1カウンタ22Nを基準発振信号 ϕ_{ref} の4周期にわたって計数動作させる(ステップS5)。そして、次のステップS6で、カウンタの計数値を記憶回路18のいずれかのレジスタに格納する。最初に格納されるレジスタは第1レジスタREG0である。それから、全てのバンドの周波数測定を終了したか

判定する(ステップS7)。ここで、終了していなければステップS8で選択バンドを示すポイントの値を加算(+1)してステップS4へ戻り、ステップS4～S8の動作を繰り返す。そして、すべてのバンドの周波数測定を終了すると、ステップS7からステップS9のアイドルモードへ移行して、周波数測定を終了する。なお、図3の実施例においては、周波数測定時に記憶回路18の各レジスタREG0～REG15に第1カウンタ22Nの11ビットの計数値を格納すると説明したが、使用するシステムによってはバンドを切り替えても第1カウンタ22Nのビットによっては必ず同一になるビットが生じることがある。従って、そのような場合には第1カウンタ22Nから記憶回路18へ転送するビットを一部省略することができる。これによって、記憶回路18のレジスタのビット数を減らすことができる。

【0025】また、図3の実施例においては、記憶回路18にはVCO10の16個のバンドに応じて16個のレジスタREG0～REG15が設けられているとしたが、1番高いバンド(もしくは1番低いバンド)に対応したレジスタは省略することができる。使用バンド決定回路19において、設定した周波数が15個のバンドのいずれにも適合しない判定された場合には、残りの1番高いバンド(もしくは1番低いバンド)を使用するしかないためである。さらに、図3の実施例においては、周波数測定時に基準発振信号 ϕ_{ref} の4周期にわたって第1カウンタ22Nを計数動作させると説明したが、8周期あるいは16周期にわたって計数動作させるようにしても良い。ただし、その場合には、第1カウンタ22Nを、12ビットあるいは13ビットのカウントとして構成しておく必要がある。

【0026】次に、本発明のPLL回路を、マルチバンド方式の移動体通信システムを構成する高周波LSIに適用した場合について説明する。図6には高周波LSIの詳細な構成例と通信機の全体の概略構成が示されている。特に制限されないが、この実施例のシステムは、いわゆるダイレクトコンバージョン方式と呼ばれるものである。図6において、100は信号電波の送受信アンテナ、200は高周波LSI、110は送受信切り替え用のスイッチ、120は送信信号を増幅する高周波電力増幅回路、130は送信用発振器(TXVCO)、140は送信側PLL回路を構成するループフィルタ、150は希望バンドに応じた周波数の発振信号を生成する高周波発振器(RFVCO)10および基準発振回路11とループフィルタ16などを含むRFVCOモジュール、160は受信信号から不要波を除去する高周波フィルタ、300は送信データをI、Q信号に変換したり高周波LSI200を制御したりするベースバンド回路(LSI)である。

【0027】高周波LSI200では、図4に示されている分周回路13、位相比較回路14、チャージポンプ

15、記憶回路18、使用バンド決定回路19、制御回路20、プリスケアラ21、モジュロカウンタ22などからなり上記RFVCOモジュール150と共にPLL回路を構成するRF用PLL構成回路205と、例えば320MHzのような中間周波数 F_{rf} の発振信号 ϕ_{IF} を生成する発振回路(IFVCO)210と、該発振回路210で生成された発振信号 ϕ_{IF} を分周して80MHzのような搬送波を生成する分周回路220と、分周回路220から出力される搬送波をベースバンド回路300から供給されるI信号とQ信号により直接変調をかける変調回路230と、高周波発振器10から供給される発振信号 ϕ_{RF} を分周する分周回路250と、該分周回路250で分周された信号 $\phi_{RF'}$ と送信用発振器(TXVCO)130からフィードバックされる送信信号 ϕ_{TX} とを合成して2つの信号の周波数差に相当する周波数の信号 ϕ_{mix} を生成するミキサ260と、該ミキサ260から漏れる高調波成分をカットするハーモニックフィルタ242と、上記ミキサ260からの信号と上記変調回路230から変調信号との位相差を検出する位相検出回路270と、該位相検出回路270から出力される信号(UP, DOWN)によって動作するチャージポンプ280と、モード制御回路290などから送信系回路が構成されている。

【0028】特に制限されないが、この実施例では、RFVCOモジュール150とRF用PLL構成回路205とからなるRF用シンセサイザは、送信系回路と受信系回路で共用されている。また、受信系回路として、受信信号を増幅するロウノイズアンプ310、受信信号に高周波発振器150の発振信号 ϕ_{RF} が分周回路250で分周された信号を合成することで復調を行なう復調回路320、復調された信号を増幅してベースバンド回路300へ出力するプログラマブル・ゲイン・アンプ330等が設けられている。この実施例においては、チャージポンプ280と位相検出回路270、ループフィルタ140、送信用発振器(TXVCO)130およびミキサ260によって周波数変換を行なう送信用PLL回路TxPLLが構成される。マルチバンド方式の移動体通信システムでは、使用するバンドに応じて上記高周波発振器10の発振周波数 ϕ_{RF} が、例えばベースバンド回路300からの指令によって切り替えられることで、送信周波数の切り替えが行なわれる。

【0029】制御回路290には、コントロールレジスタCRGが設けられ、このレジスタCRGにはベースバンド回路300からの信号に基づいて設定が行なわれる。具体的には、ベースバンド回路300から高周波用LSI200に対して同期用のクロック信号CLKと、データ信号SDATAと、制御信号としてロードイネーブル信号LENとが供給されており、モード制御回路290は、ロードイネーブル信号LENが有効レベルにアサートされると、ベースバンド回路300から伝送され

てくるデータ信号SDATAをクロック信号CLKに同期して順次取り込んで、上記コントロールレジスタCRGにセットする。特に制限されるものでないが、データ信号SDATAはシリアルで伝送される。ベースバンド回路300はマイクロプロセッサなどから構成される。コントロールレジスタCRGは、特に制限されるものでないが、前記実施例におけるRFVCO10の周波数測定を開始させる制御ビットや、受信モード、送信モード、待受け時等ごく一部の回路のみ動作し少なくとも発振回路を含む大部分の回路が停止するスリープ状態となるアイドルモード、PLL回路を起動させたりするウォームアップモードなどのモードを指定するビット、送信用PLL回路TxPLLにおける引込みモードを指定するビットなどが設けられる。

【0030】表1は、本実施例のトリプルバンド用の高周波LSIにおける中間周波用発振器(IFVCO)210、送信用発振器(TXVCO)130および高周波用発振器(RFVCO)10の発振信号 ϕ IF、 ϕ TX、 ϕ RFの周波数の設定例を、次の表1に示す。

【0031】

【表1】

	IFVCO (MHz)	TXIF (MHz)	TXVCO (MHz)	RXVCO (MHz)	
				受信時	送信時
GSM900	640	80	880	3700	3940
	640	80	915	3840	3980
DCS1800	640	80	1710	3610	3590
	640	80	1785	3760	3730
PCS1900	640	80	1850	3860	3860
	640	80	1910	3980	3980

【0032】表1に示されているように、本実施例では、中間周波用発振器(IFVCO)210の発振周波数はGSM、DCS、PCSいずれの場合にも640MHzに、これが分周回路220で1/8に分周されて80MHzの搬送波TXIFが生成されて変調が行なわれる。一方、高周波用発振器(RFVCO)10の発振周波数は、GSMの場合3840~3980MHzに、またDCSの場合3580~3730MHzに、さらにPCSの場合3860~3980MHzに設定され、これが分周回路250でGSMの場合は1/4に分周され、またDCSとPCSの場合は1/2に分周されて ϕ RF'としてミキサ260に供給される。ミキサ260では、この ϕ RF'と送信用発振回路130からの送信用発振信号 ϕ TXの周波数の差(FRF-FTX)に相当する信号が出力され、この差信号と変調信号の周波数FTXIFと一致するように送信用PLL(TxPLL)が動作する。

【0033】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明はそれに限定されるものでなく、例えば実施例においては、高周波LSI内に予め測定されたVCO10の周波数を記憶する記憶回路18と、VCO10の使用バンド決定回路19を設けているが、バンド決定回路19を設ける代わりに記

憶回路18のみ高周波LSI内に設けておいて、PLL回路の動作開始時にベースバンド回路300がこの記憶回路18から周波数情報を読み出してVCO10の使用バンドとを決定し、バンド切り替えコードVB3~VB0を与えるように構成しても良い。

【0034】また、実施例では、周波数測定時の直流電圧VDCをループフィルタ16を介して与えるようにしているが、VCO10に直接与えるようにしても良い。さらに、図6の実施例においては、その実施例のPLL回路を、ミキサにおいて受信信号と合成されるRF信号(高周波信号)を生成するRF用PLL回路に適用した場合が示されているが、ミキサにおいて送信信号と合成されるIF信号(中間周波数信号)を生成するIF用PLL回路に適用することも可能である。また、図示しないが、ベースバンド回路300からのI信号とQ信号で直接送信信号を変調するダイレクトアップコンバージョン方式の高周波LSIにおいて、送信信号を生成する送信用PLL回路に適用することも可能である。

【0035】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話機の無線通信システムに用いられるPLL回路に適用した場合について説明したが、本発明はそれに限定されるものでなく、PLL回路を備えた半導体集積回路特にVCOの可変周波数範囲が広いPLL回路を有する半導体集積回路一般に広く利用することができる。

【0036】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、本発明に従うと、複数のバンドに対応するためVCOの発振可能な周波数範囲を広くしても、VCOの制御電圧の感度が高くならず外来ノイズや電源電圧変動による影響を受けにくいPLL回路を備えた通信用半導体集積回路(高周波LSI)を実現することができるとともに、VCOの発振周波数のばらつきを内部回路で自動的に補正することができる通信用半導体集積回路を提供することができる。さらに、複数の周波数帯の信号による通信が可能であり、しかもVCOを同一の半導体チップ上に形成することができ、これによって部品点数を削減することができる。

【図面の簡単な説明】

【図1】本発明を適用したPLL回路の第1の実施例を示すブロック図である。

【図2】PLL回路においてVCOの周波数可変範囲を連続的に変化させる場合とバンドに分けて変化させる場合のそれぞれの制御電圧Vcと発振周波数f_{vco}との関係を示すグラフである。

【図3】実施例のPLL回路における使用バンド決定回路の構成例を示す論理構成図である。

【図4】実施例のPLL回路におけるVCOの周波数測定手順の一例を示すフローチャートである。

【図5】本発明を適用したPLL回路の第2の実施例を示すブロック図である。

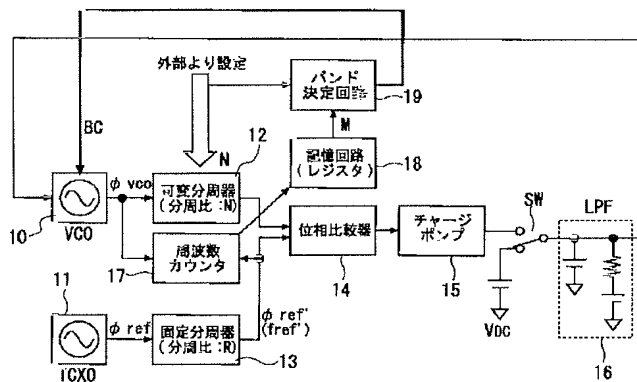
【図6】本発明に係るPLL回路を適用した無線通信システムの一例としての携帯電話機の送信部の構成例を示すブロック図である。

【符号の説明】

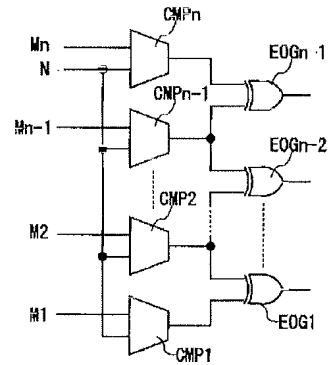
10 高周波発振器 (RFVCO)
11 基準発振回路
14 位相比較回路
15 チャージポンプ
16 ループフィルタ
17 周波数カウンタ
18 周波数記憶回路
19 使用バンド決定回路
20 制御回路
22 モジュロカウンタ
100 送受信用アンテナ

110 送受信切り替え用のスイッチ
120 高周波電力増幅回路
130 送信用発振器 (TXVCO)
140 ループフィルタ
150 RFVCOモジュール
160 高周波フィルタ
200 高周波LSI
210 発振回路
220 分周回路
230 変調回路
230 分周回路
260 ミキサ
270 位相検出回路
280 チャージポンプ
290 制御回路
300 ベースバンド回路

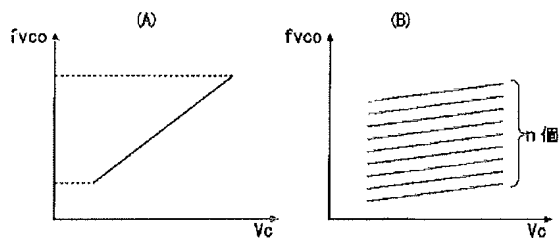
【図1】



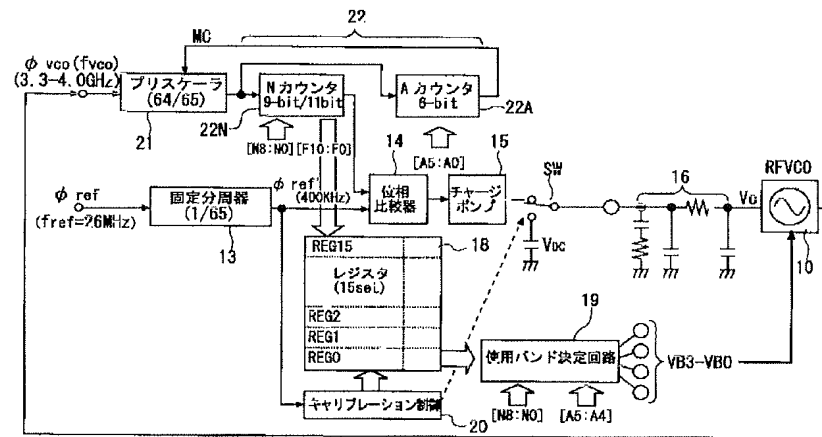
【図3】



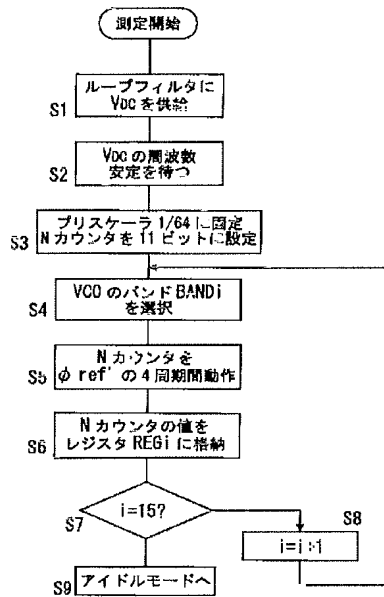
【図2】



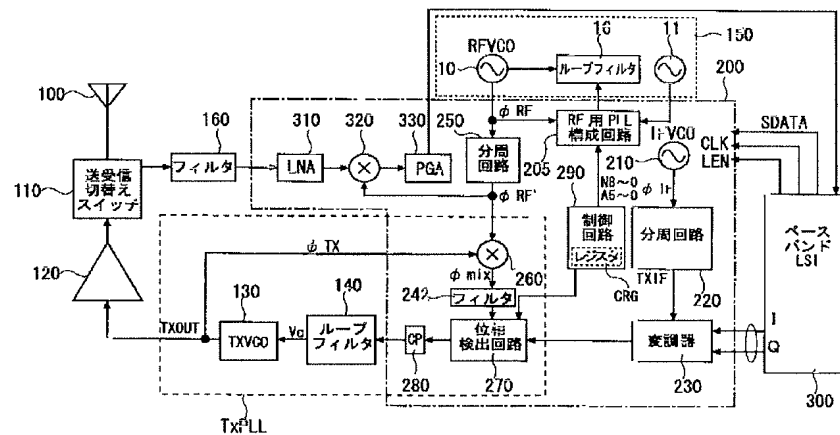
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 笠原 真澄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
(72)発明者 大澤 弘孝
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 ロバート・アストル・ヘンシャウ
イギリス国、ハートフォードシャー エス
ジー8 6イーイー、ロイストン、メルボ
ルン、ケンブリッジ ロード、メルボルン
サイエンス パーク、ティーティーピー
コム リミテッド内

Fターム(参考) 5J106 AA04 BB10 CC02 CC15
CC24 CC34 CC44 CC53 DD06
DD08 DD17 DD32 DD33 DD38
DD46 GG01 HH01 KK08 KK12
PP03 PP04 QQ06 RR03 RR07
RR14 RR17 RR20
5K011 DA03 DA07 DA26 JA01 KA18
5K020 AA00 DD22 GG04 GG25 KK07
MM00